



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 50 707.8

**Anmeldetag:** 30. Oktober 2003

**Anmelder/Inhaber:** Osram Opto Semiconductors GmbH,  
93049 Regensburg/DE

**Bezeichnung:** Elektrischer Kontakt für optoelektronischen  
Halbleiterchip und Verfahren zu dessen Herstellung

**IPC:** H 01 L, H 01 S

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Februar 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, appearing to be 'Stark'.

Stark

Beschreibung

Elektrischer Kontakt für optoelektronischen Halbleiterchip  
und Verfahren zu dessen Herstellung

5

Die Erfindung betrifft einen elektrischen Kontakt für einen  
optoelektronischen Halbleiterchip und ein Verfahren zu dessen  
Herstellung.

10 Bei modernen Herstellungsverfahren für lichtemittierende  
Dioden (LEDs) wird häufig die lichtemittierende Struktur zu-  
nächst auf einem Aufwachssubstrat aufgewachsen, anschließend  
auf einen neuen Träger aufgebracht und dann das Aufwachssub-  
strat abgetrennt. Dieses Verfahren hat einerseits den Vor-  
15 teil, daß Aufwachssubstrate, insbesondere für die Herstellung  
von Nitridverbindungshalbleitern geeignete Aufwachssubstrate,  
die vergleichsweise teuer sind, wiederverwendet werden kön-  
nen. Ein derartiges Bauelement ist beispielsweise aus der  
WO 02/19493 A1 bekannt. Dieses als Dünnschichttechnologie be-  
20 zeichnete Verfahren hat weiterhin den Vorteil, daß durch das  
Ablösen des ursprünglichen Substrats dessen Nachteile, wie  
zum Beispiel eine geringe elektrische Leitfähigkeit und eine  
erhöhte Absorption der von dem optoelektronischen Bauelement  
generierten oder detektierten Strahlung, vermieden werden.  
25 Dadurch läßt sich die Effizienz von LEDs, insbesondere der  
Helligkeit, steigern.

Eine weitere Technologie zur Herstellung von hocheffizienten  
LEDs stellt die sogenannte Flip-Chip-Technologie dar. Ein  
30 derartiges Bauelement wird beispielsweise in der WO 01/47039  
A1 offenbart. Hierin wird ein strahlungsemitterender Halb-  
leiterchip beschrieben, der sowohl mit dem n- als auch mit  
dem p-Kontakt über eine gelötete Direktverbindung mit einem  
Trägersubstrat verbunden ist.

35

Sowohl bei der Dünnschichttechnologie als auch bei der Flip-  
Chip-Technologie ist es vorteilhaft, den Kontakt zwischen dem

Halbleiterchip und dem Trägersubstrat als einen reflektierenden Kontakt auszubilden. Damit wird ein Eindringen der von einem optoelektronischen Bauelement generierten oder detektierten Strahlung in den Kontakt vermieden und damit die Absorptionsverluste reduziert.

Ein derartiger spiegelnder elektrischer Kontakt wird beispielsweise in der EP 0 926 744 A2 offenbart. In diesem Dokument wird eine Silberschicht als geeigneter ohmscher Kontakt für einen p-Typ GaN-Halbleiter angegeben. Es wird jedoch auch auf die geringe Haftfestigkeit und Korrosionsbeständigkeit von Silberschichten auf Nitridverbindungshalbleitern hingewiesen.

Der Erfindung liegt die Aufgabe zugrunde, einen verbesserten elektrischen Kontakt anzugeben. Insbesondere soll sich der Kontakt durch eine hohe Reflektivität, einen guten ohmschen Kontakt zum Halbleiter, eine gute Haftung auf dem Halbleiter sowie eine gute Haftung der den Kontakt bildenden Schichten untereinander, eine gute Temperaturstabilität, eine hohe Stabilität gegen Umwelteinflüsse, sowie Lötbarkeit und Strukturierbarkeit auszeichnen. Ferner ist es Aufgabe der Erfindung, ein Verfahren zur Herstellung eines solchen Kontakts anzugeben.

25

Diese Aufgabe wird erfindungsgemäß durch einen elektrischen Kontakt mit den Merkmalen des Patentanspruchs 1 bzw. durch Verfahren gemäß den Patentansprüchen 24, 25 oder 27 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

30

Ein erfindungsgemäßer elektrischer Kontakt eines optoelektronischen Halbleiterchips enthält eine Spiegelschicht aus einem Metall oder einer Metallegierung, eine Schutzschicht, die zur Verringerung der Korrosion der Spiegelschicht dient, eine Barrierenschicht, eine Haftvermittlungsschicht und eine Lot-

35

Vorteilhafte Ausgestaltungen der Erfindung werden im folgenden anhand eines Ausführungsbeispiels im Zusammenhang mit den Figuren 1 und 2 näher erläutert. Dabei zeigen

5

Figur 1 einen schematischen Querschnitt durch eine Ausführungsform eines erfindungsgemäßen elektrischen Kontakts und

Figur 2 schematisch dargestellte Zwischenstufen zu Erläuterung der Strukturierung mittels Abhebetechnik.

10

Figur 1 zeigt einen Halbleiterchip 1, auf den eine Ausführungsform eines erfindungsgemäßen elektrischen Kontakts aufgebracht ist. Der Halbleiterchip kann an seiner Oberfläche beispielsweise ein Material aus der Gruppe der Nitridverbindungshalbleiter aufweisen, wobei unter einem Nitridverbindungshalbleiter eine Nitridverbindung von Elementen der dritten und/oder fünften Hauptgruppe, insbesondere GaN, AlGaN, InGaN, AlInGaN, AlN oder InN, verstanden wird.

15

20

Auf den Halbleiterchip 1 ist eine Spiegelschicht 2 aufgebracht. Die Spiegelschicht enthält ein Metall oder eine Metallegierung, vorzugsweise eines der Metalle Silber, Aluminium oder Platin. Bevorzugt ist die Spiegelschicht 2 zwischen 70 nm und 130 nm dick. Die Spiegelschicht 2 reflektiert die aus der Richtung des optoelektronischen Halbleiterchips 1 auftreffende Strahlung und verhindert dadurch die Absorption dieser Strahlung im elektrischen Kontakt. Neben dieser vorteilhaften optischen Eigenschaft stellt die Spiegelschicht auch einen ohmschen Kontakt zum Halbleiter her. Beispielsweise kann zur Herstellung eines ohmschen Kontakts auf einem InGaN-Halbleiter eine Pt/Al-Kombination verwendet werden. Auf p-GaN-Halbleitermaterial ist eine Silberschicht zur Herstellung eines ohmschen Kontaktes geeignet.

25

30

35

Weiterhin ist eine Schutzschicht 3 auf die Spiegelschicht 2 aufgebracht, um sie in weiteren Prozeßschritten vor Korrosion zu schützen. Vorzugsweise handelt es sich bei der Schutzschicht 3 um eine zwischen 5 nm und 15 nm dicke Titan- oder Platinschicht. Im Falle einer naßchemischen Strukturierung der Spiegelschicht 2 wird vorzugsweise Titan als Material für die Schutzschicht 3 verwendet, da das Ätzen von Platin technisch sehr schwierig ist.

- 10 Eine Verbesserung der Haftung der Spiegelschicht 2 auf dem Halbleiterchip 1 kann durch einen Tempersschritt erreicht werden. Beispielsweise wird eine Spiegelschicht 2 aus Silber für etwa 5 Minuten bei 300 °C getempert. Im Falle einer naßchemischen Strukturierung der Spiegelschicht 2 kann dieser Tempersschritt unmittelbar nach der Beschichtung durchgeführt werden.

- Eine weitere Möglichkeit zur Verbesserung der Haftung der Spiegelschicht 2 besteht darin, vor dem Aufbringen der Spiegelschicht 2 eine zwischen 0,1 nm und 0,5 nm dünne Schicht 13 aus einem elektrisch transparenten Material auf den Halbleiterchip 1 aufzubringen. Diese dünne Schicht 13 kann flächig oder inselförmig abgeschieden sein. Vorzugsweise enthält die dünne Schicht 13 Pt, Pd oder Ni. Besonders vorteilhaft ist die Verwendung dieser Materialien auf einer ein Nitridverbindungs-halbleitermaterial aufweisenden Oberfläche eines Halbleiterchips 1 und bei Verwendung einer Spiegelschicht 2, die Ag oder Al enthält.

- 30 Auf die Schutzschicht 3 ist eine Barrierenschicht 4 aufgebracht. Vorzugsweise enthält die Barrierenschicht 4 TiW(N) und ist etwa 300 nm bis 500 nm dick. Durch eine Strukturierung der Barrierenschicht 4 mittels Abhebetechnik (lift-off-Technik), die im Folgenden noch genauer beschrieben wird, kann eine vollständige Überdeckung der Spiegelschicht 2 und der Schutzschicht 3 mit der Barrierenschicht 4 erreicht werden. Auch die Strukturierung der folgenden Schichten kann

mittels dieser Abhebetechnik erfolgen. Ein Vorteil dieser Art der Strukturierung besteht in der geringen Temperaturbelastung des Schichtsystems.

5 Auf die Barrierenschicht 4 ist eine Haftvermittlungsschicht 5 aufgebracht, die eine gute Haftung der nachfolgenden Schichten gewährleistet. Bei der Haftvermittlungsschicht 5 handelt es sich bevorzugt um eine zwischen 30 nm und 70 nm dicke Titanschicht.

10

Darauf ist vorzugsweise eine Benetzungsschicht 6 aufgebracht, die eine gleichmäßige Benetzung der Kontaktfläche mit dem Lot beim späteren Lötvorgang bewirkt. Bevorzugt ist die Benetzungsschicht 6 eine zwischen 70 nm und 130 nm dicke Platinschicht.

15

Auf der Benetzungsschicht 6 ist eine Lotschicht 8, bei der es sich entweder um ein Hartlot, wie beispielsweise AuSn oder ein Weichlot wie zum Beispiel Sn handeln kann, aufgebracht.

20

Die Lotschicht 8 ist beispielsweise mittels PVD-Technik oder mittels galvanischer Abscheidung aufgebracht. Eine Strukturierung der Lotschicht 8 ist mittels der zuvor beschriebenen Abhebetechnik oder mittels einer naßchemischen Strukturierung möglich.

25

Die Lotschicht 8 kann optional mit einer Goldschicht 9 abgedeckt werden, die vorzugsweise zwischen 30 nm und 70 nm dick ist.

30

Vorteilhaft ist zwischen der Benetzungsschicht 6 und der Lotschicht 8 eine Goldschicht 7 eingefügt, welche das darunterliegende Schichtsystem vor dem Aufbringen der Lotschicht 8 vor Korrosion schützt. Dies ist insbesondere dann sinnvoll, wenn vor dem Aufbringen der Lotschicht eine Entfernung einer

35

zur Strukturierung des bis dahin erzeugten Schichtsystems aufgetragenen Maskenschicht erfolgt. Die bevorzugte Dicke einer solchen Goldschicht 7 beträgt bei Verwendung eines Sn-

Lots etwa 70-130 nm, bei Verwendung eines AuSn-Lots etwa 400 nm bis 800 nm. Die Funktion der Benetzungsschicht 6 bleibt trotz dieser Zwischenschicht erhalten, da die Goldschicht 7 beim späteren Lötvorgang schmilzt.

5

Beim Lötvorgang ist es möglich, aber unerwünscht, dass das Lot bis an die Seitenflanken des Halbleiterchips aufsteigt. Um hierbei einen Kurzschluß des Lots mit den an den Seitenflanken des Halbleiterchips endenden Halbleiterschichten zu verhindern, können die Seitenflanken mit einer Passivierung 11, beispielsweise aus Siliziumdioxid oder Siliziumnitrid, versehen werden.

10

Ein derartiger Kontakt ist insbesondere für die Verwendung in der Flip-Chip-Technologie und der Dünnfilm-Technologie geeignet. Unter einem Dünnfilm-Halbleiterkörper ist im Rahmen der Erfindung ein epitaktisch auf einem Epitaxiesubstrat gewachsener Halbleiterkörper zu verstehen, von dem das Epitaxiesubstrat abgelöst wurde.

15

20

Der Dünnfilm-Halbleiterkörper ist beispielsweise mit dem elektrischem Kontakt mit einem Trägerkörper verbunden. Die Materialien der Lotschicht 8 und des Trägerkörpers sind vorzugsweise so aufeinander abgestimmt, daß sie eine Legierung, insbesondere eine eutektische Legierung, ausbilden können, also zwischen der Lotschicht 8 und der Trägerkörper keine metallurgische Sperre besteht. Das Material des Trägerkörpers kann beim Lötvorgang anschmelzen und somit als Materialreservoir zur Ausbildung einer eutektischen Legierung dienen. Weiterhin kann ein Anschmelzen des Trägerkörpers an der Lötstelle vorteilhaft bewirken, daß eventuell beim Lötvorgang auftretende Partikel in den Träger hineinschmelzen können. Dadurch wird die Einlagerung von Partikeln zwischen dem Trägerkörper und dem Halbleiterchip 1, die den Abstand zwischen dem Träger und dem Halbleiterchip vergrößern könnten, reduziert. Ebenfalls wird auch die Bildung von Lunkern reduziert.

25

30

35

Besonders vorteilhaft ist die Kombination einer Lotschicht 8 aus AuGe mit einem Ge-Träger oder die Kombination einer AuSi-Lotschicht 8 mit einem Si-Träger. Ein Ge-Träger ist besonders für die Herstellung von Dünnschicht-LEDs, bei denen ein Aufwachssubstrat aus Saphir mittels eines Laser-lift-off-Verfahrens abgelöst wird, geeignet, da Germanium einen ähnlichen Ausdehnungskoeffizienten wie Saphir aufweist und deshalb mechanische Spannungen durch die beim Ablöseprozeß entstehende Wärme reduziert werden.

10

Die eutektischen Temperaturen, die beim Lötvorgang erreicht oder überschritten werden müssen, betragen für AuGe etwa 361°C und für AuSi etwa 363°C. Bei der Verwendung solcher Lote muß das Schichtsystem des Kontakts bei der Löttemperatur stabil sein. Aufgrund der erforderlichen Temperaturstabilität enthält die dünne Schicht 13, die zur Verbesserung der Haftung der Spiegelschicht 2 zwischen dem Halbleiterchip 1 und der Spiegelschicht 2 eingefügt ist, bevorzugt Palladium oder ein Nickeloxid. Ein Kontakt mit dünnen Schichten 13 aus diesen Materialien ist außerdem verhältnismäßig unempfindlich gegenüber Wasserstoff enthaltenden Verunreinigungen, die während der Epitaxie in das Schichtsystem integriert werden können.

15

20

25

Zur Strukturierung eines erfindungsgemäßen elektrischen Kontaktes sind beispielsweise bekannte Verfahren zur naßchemischen Strukturierung, die hier nicht näher erläutert werden sollen, geeignet. Vorzugsweise wird im Rahmen der Erfindung die sogenannte Abhebetechnik (lift-off-Verfahren) angewandt.

30

Die Verfahrensschritte bei der Abhebetechnik werden im Folgenden beispielhaft anhand der Strukturierung der Spiegelschicht 2 in Zusammenhang mit den Figuren 2a bis 2e näher erläutert.

35



Wie in Figur 2a dargestellt, wird auf den Halbleiterchip 1 zunächst eine Maskenschicht 10 aus einem Photolack aufgebracht.

5 Mittels geeigneter Belichtung, Entwicklung und Ätzung wird in der Maskenschicht 10 ein Fenster erzeugt, das wie in Figur 2b dargestellt einen starken Unterschnitt aufweist. Der Unterschnitt kann beispielsweise durch Unterätzung mit einem geeigneten Ätzmittel gebildet werden. Die Maskenschicht weist  
10 dadurch an der dem Halbleiterchip abgewandten Seite einen schmaleren Querschnitt auf als an der Oberfläche des Halbleiterchips. Vorzugsweise schließen die dem Fenster zugewandten Flanken der Maskenschicht mit der Oberfläche des Halbleiterchips 1 einen Winkel von weniger als  $75^\circ$  ein. Da die Bedingungen zur Erzeugung eines solchen Fensters dem Fachmann bekannt sind, werden sie an dieser Stelle nicht näher erläutert.

Anschließend wird die Spiegelschicht 2 durch eine gerichtete Beschichtungstechnik, beispielsweise durch Aufdampfen, auf  
20 den Halbleiterchip aufgebracht. Die Abscheidung der Spiegelschicht 2 erfolgt im wesentlichen nur auf den in Aufdampfrichtung 12 nicht von der Maskenschicht 10 abgeschatteten Bereich des Halbleiterchips 1, während die unter dem Unterschnitt des Fensters liegenden Bereiche des Halbleiterchips 1  
25 abgeschattet sind und wie in Fig. 2c dargestellt nicht von der Spiegelschicht 2 bedeckt werden. Auf die gleiche Weise können im folgenden weitere Schichten, beispielsweise eine Schutzschicht 3 für die Spiegelschicht 2, auf den Halbleiterchip 1 aufgebracht werden (nicht dargestellt).

Im nachfolgenden Prozeßschritt wird, wie in Figur 2d dargestellt ist, eine weitere Schicht, bei der es sich beispielsweise um eine Barrierenschicht 4 handeln kann, durch ein ungerichtetes Beschichtungsverfahren, zum Beispiel mittels  
35 Sputtern, auf den Halbleiterchip 1 aufgebracht. Durch die Anwendung eines ungerichteten Beschichtungsverfahrens werden

auch die unter dem Unterschnitt des Fensters liegenden Bereiche des Halbleiterchips 1 mit der aufgebrauchten Schicht bedeckt und somit eine vollständige Überdeckung der vorher aufgebrauchten Schicht oder Schichten, beispielsweise der Spiegelschicht 2, erreicht.

Nach dem Ablösen der Maskenschicht 10 ist der Halbleiterchip 1, wie in Figur 2e gezeigt, mit einer strukturierten Schicht, beispielsweise der Spiegelschicht 2, und einer weiteren, diese Schicht überdeckenden Schicht, beispielsweise der Barrierschicht 4, bedeckt.

Allgemein ist im Rahmen der Erfindung unter einer Abhebetechnik (lift-off-Verfahren) das Aufbringen bzw. Ausbilden einer Maskenschicht, das Aufbringen einer oder mehrerer Schichten und ein nachfolgendes Ablösen der Maskenschicht zu verstehen. Vorzugsweise wird die Maskenschicht mit einem Unterschnitt versehen, eine erste Schicht gerichtet abgeschieden, und eine zweite Schicht zur vollständigen Überdeckung der ersten Schicht ungerichtet abgeschieden, wobei unter einer vollständigen Überdeckung eine Bedeckung der Oberfläche und der Seitenflanken verstanden wird.

Die Erläuterung der Erfindung anhand des Ausführungsbeispiels ist selbstverständlich nicht als Einschränkung der Erfindung zu sehen. Vielmehr können die in der Beschreibung, in den Zeichnungen sowie in den Ansprüchen offenbarten Merkmale sowohl einzeln als auch in Kombination miteinander für die Verwirklichung der Erfindung wesentlich sein.

Patentansprüche

1. Elektrischer Kontakt eines optoelektronischen Halbleiterchips (1),  
5     dadurch gekennzeichnet, daß  
      er  
      - eine Spiegelschicht (2) aus einem Metall oder einer Metallegierung,  
      - eine Schutzschicht (3) zur Verringerung der Korrosion  
10     der Spiegelschicht (2),  
      - eine Barrierenschicht (4),  
      - eine Haftvermittlungsschicht (5), und  
      - eine Lotschicht (8)  
      enthält.  
15
2. Elektrischer Kontakt nach Anspruch 1,  
   der zwischen der Haftvermittlungsschicht (5) und der Lotschicht (8) eine Benetzungsschicht (6) enthält.
- 20 3. Elektrischer Kontakt nach Anspruch 1 oder 2,  
   der auf eine ein Nitridverbindungshalbleitermaterial aufweisende Oberfläche eines Halbleiterchips (1) aufgebracht ist.
- 25 4. Elektrischer Kontakt nach einem der Ansprüche 1 bis 3,  
   bei dem die Spiegelschicht (2) Silber, Aluminium oder Platin enthält.
5. Elektrischer Kontakt nach einem der vorhergehenden Ansprüche,  
30     bei dem die Spiegelschicht (2) zwischen 70 nm und 130 nm dick ist.
6. Elektrischer Kontakt nach einem der vorhergehenden Ansprüche,  
35     bei dem zur Verbesserung der Haftung der Spiegelschicht (2) eine zwischen 0,1 und 0,5 nm dünne

Schicht (13) aus einem elektrisch leitfähigen Material zwischen dem Halbleiterchip (1) und der Spiegelschicht (2) enthalten ist.

- 5 7. Elektrischer Kontakt nach Anspruch 6,  
bei dem die Oberfläche des Halbleiterchips (1) ein Nitrid-  
verbindungshalbleitermaterial aufweist, die Spiegel-  
schicht (2) Al oder Ag enthält, und die dünne Schicht (13)  
Pt, Pd oder Ni enthält.

10

8. Elektrischer Kontakt nach einem der vorhergehenden Ansprü-  
che,  
bei dem die Schutzschicht (3) Titan oder Platin enthält.

- 15 9. Elektrischer Kontakt nach einem der vorhergehenden Ansprü-  
che,  
bei dem die Schutzschicht (3) zwischen 5 nm und 15 nm dick  
ist.

- 20 10. Elektrischer Kontakt nach einem der vorhergehenden An-  
sprüche,  
bei dem die Barrierenschicht (4) die Spiegelschicht (2)  
und die Schutzschicht (3) vollständig überdeckt.

- 25 11. Elektrischer Kontakt nach einem der vorhergehenden An-  
sprüche,  
bei dem die Barrierenschicht (4) TiW(N) enthält.

- 30 12. Elektrischer Kontakt nach einem der vorhergehenden An-  
sprüche,  
bei dem die Barrierenschicht (4) zwischen 300 nm und 500  
nm dick ist.

- 35 13. Elektrischer Kontakt nach einem der vorhergehenden An-  
sprüche,  
bei dem die Haftvermittlungsschicht (5) Titan enthält.

14. Elektrischer Kontakt nach einem der vorhergehenden Ansprüche,  
bei dem die Haftvermittlungsschicht (5) zwischen 30 nm und 70 nm dick ist.

5

15. Elektrischer Kontakt nach einem der Ansprüche 2 bis 14,  
bei dem die Benetzungsschicht (6) Platin enthält.

10

16. Elektrischer Kontakt nach einem der Ansprüche 2 bis 15,  
bei dem die Benetzungsschicht (6) zwischen 70 nm und 130 nm dick ist.

15

17. Elektrischer Kontakt nach einem der Ansprüche 2 bis 16,  
bei dem eine Goldschicht (7) auf die Benetzungsschicht (6) aufgebracht ist.

20

18. Elektrischer Kontakt nach einem der vorhergehenden Ansprüche,  
bei dem eine Goldschicht (9) auf die Lotschicht (8) aufgebracht ist.

25

19. Elektrischer Kontakt nach Anspruch 18,  
bei dem die auf die Lotschicht (8) aufgebrachte Goldschicht (9) etwa 30 nm bis 70 nm dick ist.

30

20. Elektrischer Kontakt nach einem der vorhergehenden Ansprüche,  
der zur Verbindung des Halbleiterchips (1) mit einem Trägerkörper vorgesehen ist, wobei das Material der Lotschicht (8) dazu geeignet ist, mit dem Material des Trägerkörpers eine Legierung, insbesondere eine eutektische Legierung, auszubilden.

35

21. Elektrischer Kontakt nach Anspruch 20,  
bei dem die Lotschicht (8) AuGe enthält und der Trägerkörper Ge enthält.

22. Elektrischer Kontakt nach Anspruch 20,  
bei dem die Lotschicht (8) AuSi enthält und der Trägerkörper Si enthält.
- 5 23. Elektrischer Kontakt nach Anspruch 6 und einem der Ansprüche 20 bis 22,  
bei dem die dünne Schicht (13) Palladium oder ein Nickeloxid enthält.
- 10 24. Verfahren zur Herstellung eines elektrischen Kontakts nach einem der Ansprüche 1 bis 23,  
bei dem die Spiegelschicht (2) aus Silber besteht und zur Verbesserung der Haftung bei etwa 300°C getempert wird.
- 15 25. Verfahren zur Herstellung eines elektrischen Kontakts nach einem der Ansprüche 1 bis 23,  
bei dem der Kontakt mittels Abhebetechnik strukturiert wird.
- 20 26. Verfahren nach Anspruch 25,  
bei dem eine für die Abhebetechnik auf den Halbleiterchip (1) aufgebrachte Maskenschicht (10) mit einem Unterschnitt versehen wird, die Spiegelschicht (2) gerichtet aufgedampft wird und die Barrierenschicht (4) mit einer  
25 ungerichteten, überdeckenden Beschichtungsmethode so aufgebracht wird, daß die Barrierenschicht (4) die darunterliegenden Schichten vollständig überdeckt.
- 30 27. Verfahren zur Herstellung eines elektrischen Kontakts nach einem der Ansprüche 6 bis 23,  
bei dem zur Verbesserung der Haftung der Spiegelschicht (2) eine zwischen 0,1 und 0,5 nm dünne Schicht (13) aus einem elektrisch leitfähigen Material vor dem Aufbringen der Spiegelschicht (2) auf den Halbleiterchip (1) aufgebracht wird.  
35

28. Verfahren nach Anspruch 27,

bei dem die Oberfläche des Halbleiterchips (1) ein Nitrid-  
verbindungshalbleitermaterial aufweist, die Spiegel-  
schicht (2) Al oder Ag enthält, und die dünne Schicht (13)  
5 Pt, Pd oder Ni enthält.

## Zusammenfassung

Elektrischer Kontakt für optoelektronischen Halbleiterchip  
und Verfahren zu dessen Herstellung

5

Die Erfindung beschreibt einen elektrischen Kontakt für ein  
optoelektronisches Bauelement, der eine Spiegelschicht (2)  
aus einem Metall oder einer Metallegierung, eine Schutz-  
schicht (3), die zur Verringerung der Korrosion der Spiegel-  
schicht (2) dient, eine Barrierenschicht (4), eine Haftver-  
mittlungsschicht (5), eine Benetzungsschicht (6) und eine  
Lotschicht (8) enthält, sowie vorteilhafte Verfahrensschritte  
zur Herstellung eines solchen Kontakts. Ein derartiger Kon-  
takt zeichnet sich durch eine hohe Reflektivität, einen guten  
ohmschen Kontakt zum Halbleiter, eine gute Haftung auf dem  
Halbleiter sowie eine gute Haftung der den Kontakt bildenden  
Schichten untereinander, eine gute Temperaturstabilität, eine  
hohe Stabilität gegen Umwelteinflüsse, sowie Lötbarkeit und  
Strukturierbarkeit aus.

20

Figur 1



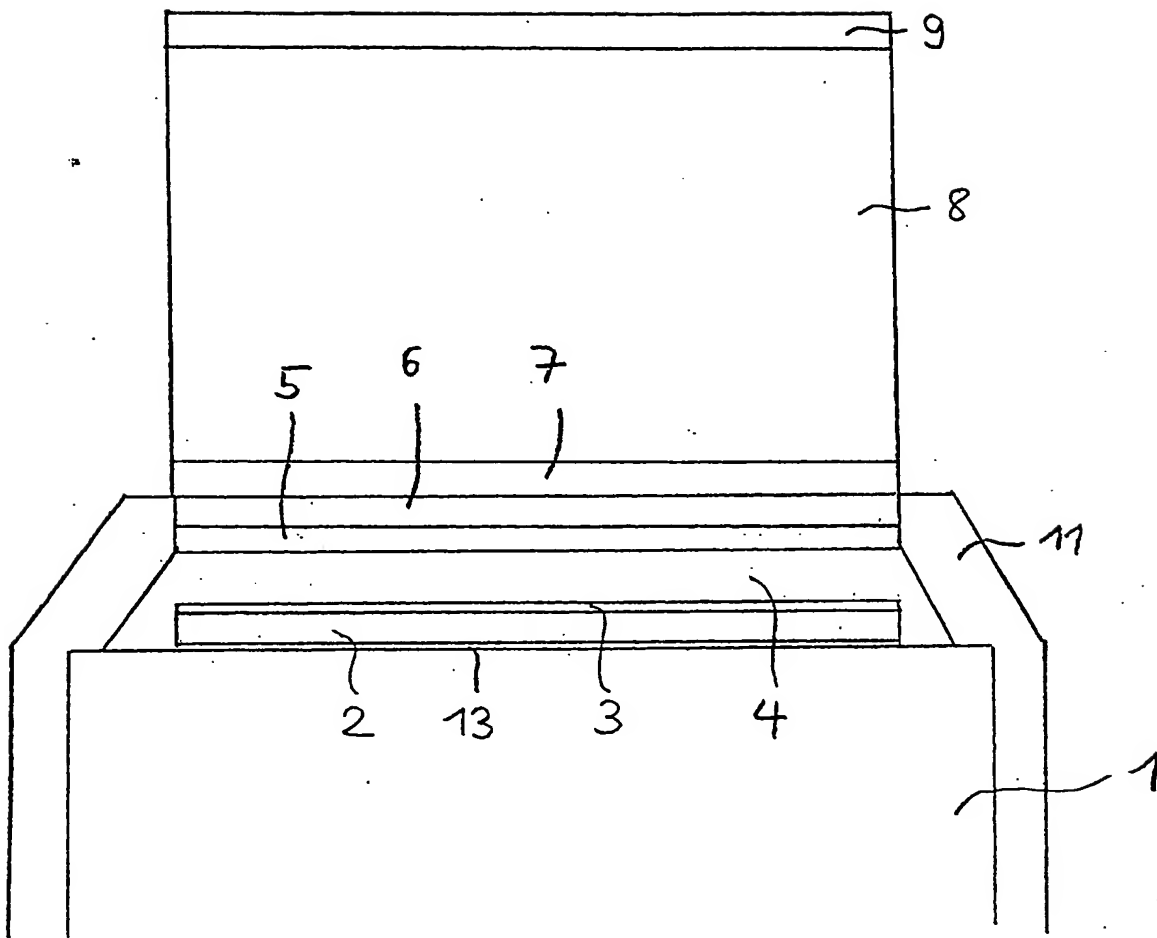


Fig. 1

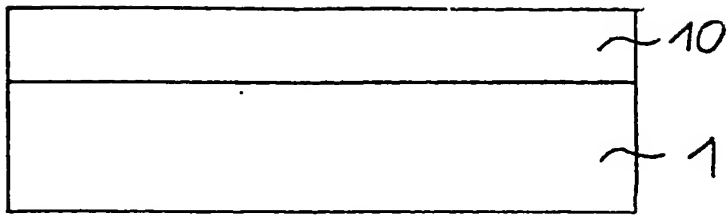


Fig. 2a

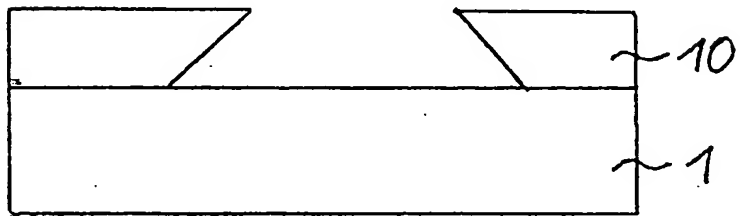


Fig. 2b

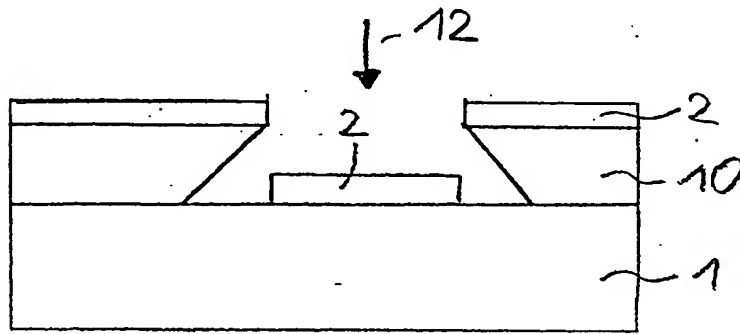


Fig. 2c

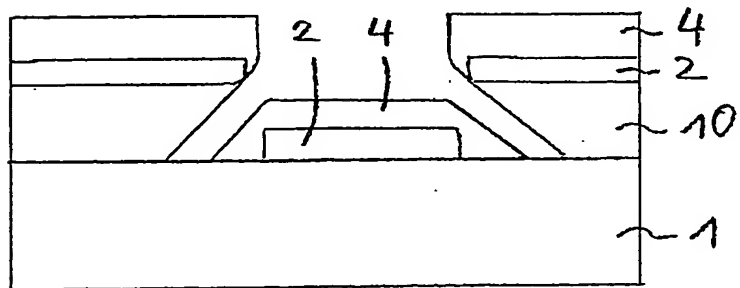


Fig. 2d

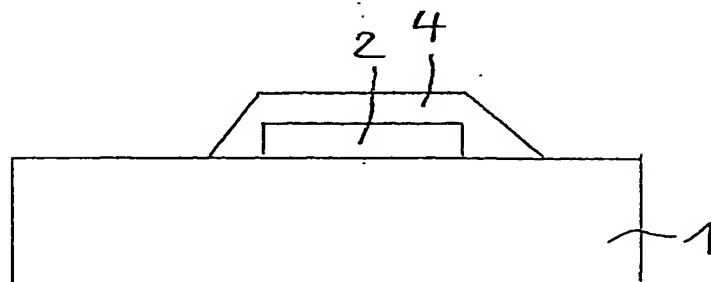


Fig. 2e